

PATENT OFFICE
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy
of the following application as filed with this office.

Date of Application: February 26, 2003

Application Number: No. 2003-049716
[ST.10/C]: [JP 2003-049716]

Applicant(s) SHINKO ELECTRIC INDUSTRIES CO., LTD.

December 8, 2003

Commissioner,
Patent Office

Yasuo Imai (Seal)

Certificate No. 2003-3101449

日 本 国 特 許 庁
JAPAN PATENT OFFICE

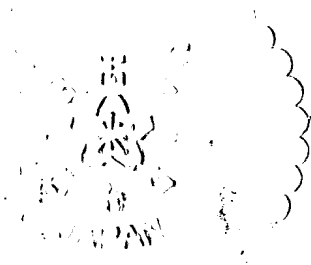
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 2 月 2 6 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 0 4 9 7 1 6
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 4 9 7 1 6]

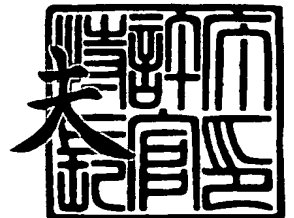
出 願 人 新 光 電 気 工 業 株 式 有 限 公 司
Applicant(s):



2 0 0 3 年 1 2 月 8 日

特 許 庁 長 官
Commissioner,
Japan Patent Office

今 井 康 夫





【書類名】 特許願

【整理番号】 SD14-233

【提出日】 平成15年 2月26日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H01L 23/12

【発明の名称】 キャパシタ素子及びこの製造方法、半導体装置用基板、並びに半導体装置

【請求項の数】 8

【発明者】

 【住所又は居所】 長野県長野市大字栗田字舍利田 7 1 1 番地 新光電気工業株式会社内

 【氏名】 山崎 智生

【発明者】

 【住所又は居所】 長野県長野市大字栗田字舍利田 7 1 1 番地 新光電気工業株式会社内

 【氏名】 六川 昭雄

【特許出願人】

 【識別番号】 000190688

 【氏名又は名称】 新光電気工業株式会社

【代理人】

 【識別番号】 100070150

 【住所又は居所】 東京都渋谷区恵比寿 4 丁目 2 0 番 3 号 恵比寿ガーデンプレイスタワー 3 2 階

 【弁理士】

 【氏名又は名称】 伊東 忠彦

 【電話番号】 03-5424-2511

【手数料の表示】

 【予納台帳番号】 002989

 【納付金額】 21,000円



【その他】

国等の委託研究の成果に係る特許出願（平成 1 4 年度新エネルギー・産業技術総合開発機構基板技術研究促進事業（民間基板技術研究支援制度）委託研究、産業活力再生特別措置法 3 0 条適用を受けるもの）

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0202532

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 キャパシタ素子及びこの製造方法、半導体装置用基板、並びに半導体装置

【特許請求の範囲】

【請求項 1】 支持体上に、二つの電極が誘電体層を挟んで対向してなるキャパシタ部を有する構成であり、

該支持体は、線膨張係数が調整された樹脂製であることを特徴とするキャパシタ素子。

【請求項 2】 請求項 1 記載のキャパシタ素子において、上記支持体は、フィラーが含有してあり、線膨張係数が $5 \sim 30 \text{ ppm/K}$ の範囲内であるエポキシ樹脂製であることを特徴とするキャパシタ素子。

【請求項 3】 請求項 1 記載のキャパシタ素子において、上記支持体は、フィラーが含有してあり、線膨張係数が $5 \sim 30 \text{ ppm/K}$ の範囲内であるポリイミド樹脂製であることを特徴とするキャパシタ素子。

【請求項 4】 請求項 1 記載のキャパシタ素子において、上記支持体は、線膨張係数が $5 \sim 30 \text{ ppm/K}$ である熱可塑性樹脂の液晶ポリマーであることを特徴とするキャパシタ素子。

【請求項 5】 請求項 1 記載のキャパシタ素子において、上記支持体は、アラミド繊維を含有しており、線膨張係数が $5 \sim 30 \text{ ppm/K}$ の範囲内である樹脂製であることを特徴とするキャパシタ素子。

【請求項 6】 ベース材の表面に、線膨張係数が調整された絶縁樹脂製の支持体を貼り付け、

該絶縁樹脂製支持体に端子に対応させてビアを形成し、

該絶縁樹脂製支持体の上面に、導体層を形成し、該導体層をパターンニングして、上記ビアを埋めた端子と該端子から該絶縁樹脂製支持体の上面に延びている下部電極とを形成し、

該下部電極上に誘電体層を形成し、

該誘電体層の上面に、導体層を形成し、該導体層をパターンニングして、該誘電体層上に該下部電極と対向する上部電極と、上面に露出する端子とを形成するよ

うにしたことを特徴とするキャパシタ素子の製造方法。

【請求項 7】 半導体素子が搭載される半導体装置用基板であって、
下面に外部接続端子が並んでいる実装面を有する半導体装置用基板本体と、
線膨張係数が搭載される半導体素子に合わせて調整された樹脂製の支持体上に、
二つの電極が誘電体層を挟んで対向してなるキャパシタ部を有し、且つ、上面
に端子を複数有し、且つ、下面に端子を複数有する構成であるキャパシタ素子と
よりなり、

該キャパシタ素子が、その上面が上記半導体装置用基板の上面に露出して、上
記半導体装置用基板本体内に埋め込んであり、該キャパシタ素子の上面が半導体
素子搭載面である構成としたことを特徴とする半導体装置用基板。

【請求項 8】 半導体素子が半導体装置用基板上に搭載された構成の半導体
装置であって、

上記半導体装置用基板は、

下面に外部接続端子が並んでいる実装面を有する半導体装置用基板本体と、
線膨張係数が搭載される半導体素子に合わせて調整された樹脂製の支持体上に、
二つの電極が誘電体層を挟んで対向してなるキャパシタ部を有し、且つ、上面
に端子を複数有し、且つ、下面に端子を複数有する構成であるキャパシタ素子と
よりなり、

該キャパシタ素子が、その上面が上記半導体装置用基板の上面に露出して、上
記半導体装置用基板本体内に埋め込んであり、該キャパシタ素子の上面が半導体
素子搭載面である構成であり、

上記半導体素子は、上記キャパシタ素子の露出している上面に搭載してある構
成としたことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はキャパシタ素子及びこの製造方法、並びにキャパシタ素子を有する半
導体装置用基板に関する。

【0002】

【従来の技術】

近年、半導体装置は搭載される半導体素子の動作周波数が高周波数化してきており、これに伴って、半導体素子に供給する電源電圧の安定化を図ることが必要となってきた。これに対応するために、半導体素子が搭載される半導体装置用基板にキャパシタ素子を設ける構造が提案されている。

【0003】

図12は従来の半導体装置10を示す。半導体装置10は、半導体装置用基板11上に半導体素子12が搭載してある構造である。半導体装置用基板11は、基板本体13の内部にキャパシタ素子14が設けてある構成である。キャパシタ素子14は、シリコン基板15の上面に、誘電材料からなる膜16が形成してあり、更に膜16の上に導電性の膜17が形成してある構成である（特許文献1参照）。

【0004】**【特許文献1】**

特開2001-274034号公報（段落番号0025，0026、図3）

【0005】**【発明が解決しようとする課題】**

ここで、キャパシタ素子14は、シリコン基板15を支持体とした構成であるため、シリコン基板15に貫通孔を形成する場合には、ドライエッチング、ウェットエッチング、レーザ加工等が必要となり、製造に更に手間が掛かってしまう。また、シリコン基板15は半導体であるので、貫通孔をCu等で埋める前に、絶縁性を確保するために、貫通孔の内周面及びシリコン基板15の上面に絶縁膜を形成する必要がある、この点でも、製造に更に手間が掛かってしまう。

【0006】

シリコン基板は薄くすると強度が低下してクラックが入り易くなるので、薄くすることは困難である。ここで、支持体がシリコン基板15であるので、キャパシタ素子14は、厚さが薄くできず、その分、半導体装置用基板11が厚くなってしまふ。

【0007】

また、キャパシタ素子14は半導体装置用基板11のうち半導体素子搭載面から離れた位置に配置してあるので、半導体素子12とキャパシタ素子14との間の導電経路が長く、この部分のインダクタンスが大きくなって、半導体素子の動作周波数が高周波数化してきた場合に、このインダクタンスが原因で半導体素子に供給する電源電圧の安定化を図ることが難しくなる虞れがあった。

【0008】

そこで、本発明は上記課題を解決したキャパシタ素子及びこの製造方法、並びにキャパシタ素子を有する半導体装置用基板を提供することを目的とする。

【0009】

【課題を解決するための手段】

請求項1の発明は、支持体上に、二つの電極が誘電体層を挟んで対向してなるキャパシタ部を有する構成であり、

該支持体は、線膨張係数が調整された樹脂製である構成としたものである。

【0010】

支持体が樹脂製であるため、シリコン基板を支持体とするキャパシタ素子に比べて薄くすることが容易となる。また、キャパシタ素子が薄いため、これを埋め込んだ素子搭載用基板も薄くなる。

【0011】

また、支持体は線膨張係数が調整された樹脂製であるので、キャパシタ素子を埋め込んだ素子搭載用基板上に素子を搭載した場合に、キャパシタ素子と搭載した素子との間に発生する熱応力が小さく抑制される。

【0012】

請求項2の発明は、請求項1記載のキャパシタ素子において、上記支持体は、フィラーが含有してあり、線膨張係数が $5 \sim 30 \text{ ppm/K}$ であるエポキシ樹脂製である構成としたものである。

【0013】

支持体がその線膨張係数が $5 \sim 30 \text{ ppm/K}$ であるエポキシ樹脂製であるので、キャパシタ素子の線膨張係数がシリコン基板を有する半導体素子の線膨張係

数に近くなって、キャパシタ素子を埋め込んだ半導体装置用基板上に半導体素子を搭載した場合に、キャパシタ素子と搭載した半導体素子との間に発生する熱応力が小さく抑制される。

【0014】

請求項3の発明は、請求項1記載のキャパシタ素子において、上記支持体は、フィラーが含有してあり、線膨張係数が $5 \sim 30 \text{ ppm/K}$ であるポリイミド樹脂製である構成としたものである。

【0015】

支持体はその線膨張係数が $5 \sim 30 \text{ ppm/K}$ であるポリイミド樹脂製であるので、キャパシタ素子の線膨張係数がシリコン基板を有する半導体素子の線膨張係数に近くなって、キャパシタ素子を埋め込んだ半導体装置用基板上に半導体素子を搭載した場合に、キャパシタ素子と搭載した半導体素子との間に発生する熱応力が小さく抑制される。

【0016】

請求項4の発明は、請求項1記載のキャパシタ素子において、上記支持体は、線膨張係数が $5 \sim 30 \text{ ppm/K}$ である熱可塑性樹脂の液晶ポリマーである構成としたものである。

【0017】

支持体はその線膨張係数が $5 \sim 30 \text{ ppm/K}$ である熱可塑性樹脂の液晶ポリマーであるので、キャパシタ素子の線膨張係数がシリコン基板を有する半導体素子の線膨張係数に近くなって、キャパシタ素子を埋め込んだ半導体装置用基板上に半導体素子を搭載した場合に、キャパシタ素子と搭載した半導体素子との間に発生する熱応力が小さく抑制される。

【0018】

請求項5の発明は、請求項1記載のキャパシタ素子において、上記支持体は、アラミド繊維を含有しており、線膨張係数が $5 \sim 30 \text{ ppm/K}$ の範囲内である樹脂製である構成としたものである。

【0019】

支持体はその線膨張係数が $5 \sim 30 \text{ ppm/K}$ である樹脂製であるので、キャ

パシタ素子の線膨張係数がシリコン基板を有する半導体素子の線膨張係数に近く、
なって、キャパシタ素子を埋め込んだ半導体装置用基板上に半導体素子を搭載し
た場合に、キャパシタ素子と搭載した半導体素子との間に発生する熱応力が小さ
く抑制される。

【0020】

請求項6の発明は、ベース材の表面に、線膨張係数が調整された絶縁樹脂製の
支持体を貼り付け、

該絶縁樹脂製支持体に端子に対応させてビアを形成し、

該絶縁樹脂製支持体の上面に、導体層を形成し、該導体層をパターンニングして
、上記ビアを埋めた端子と該端子から該絶縁樹脂製支持体の上面に延びている下
部電極とを形成し、

該下部電極上に誘電体層を形成し、

該誘電体層の上面に、導体層を形成し、該導体層をパターンニングして、該誘電
体層上に該下部電極と対向する上部電極と、上面に露出する端子とを形成するよ
うにしたものである。

【0021】

支持体として樹脂製のものを使用しているため、シリコン基板を使用した場合
に比べて、ビアの形成が簡単となり、ビアを形成する作業に要する時間を短く出
来る。また、支持体が絶縁樹脂製であるので、支持体の上面に、絶縁膜を形成し
ないで、直接に導体層を形成することが可能となり、シリコン基板を使用した場
合に比べて、製造工程が減る。

【0022】

請求項7の発明は、半導体素子が搭載される半導体装置用基板であって、

下面に外部接続端子が並んでいる実装面を有する半導体装置用基板本体と、

線膨張係数が搭載される半導体素子に合わせて調整された樹脂製の支持体上に
、二つの電極が誘電体層を挟んで対向してなるキャパシタ部を有し、且つ、上面
に端子を複数有し、且つ、下面に端子を複数有する構成であるキャパシタ素子と
よりなり、

該キャパシタ素子が、その上面が上記半導体装置用基板の上面に露出して、上

記半導体装置用基板本体内に埋め込んであり、該キャパシタ素子の上面が半導体素子搭載面である構成としたものである。

【0023】

キャパシタ素子が樹脂製の支持体を有する構成であり薄くなるため、半導体装置用基板も薄くすることが可能である。また、キャパシタ素子の上面が半導体素子搭載面である構成であるので、キャパシタ部から半導体素子搭載面の端子との間の導電経路の長さがそれ以上短くすることが出来なくなるまで短くなって、キャパシタ部から半導体素子搭載面の端子との間の導電経路のインダクタンスである寄生インダクタンスをそれ以上小さくすることが出来なくなるまで小さくすることが可能となり、寄生インダクタンスの影響を受け易い高速で動作する半導体素子が搭載された場合でも、電源電圧の安定化が図られるようになる。よって、半導体装置用基板は、高速で動作する半導体素子の搭載に適したものとなる。

【0024】

請求項8の発明は、半導体素子が半導体装置用基板上に搭載された構成の半導体装置であって、

上記半導体装置用基板は、

下面に外部接続端子が並んでいる実装面を有する半導体装置用基板本体と、

線膨張係数が搭載される半導体素子に合わせて調整された樹脂製の支持体上に、二つの電極が誘電体層を挟んで対向してなるキャパシタ部を有し、且つ、上面に端子を複数有し、且つ、下面に端子を複数有する構成であるキャパシタ素子とよりなり、

該キャパシタ素子が、その上面が上記半導体装置用基板の上面に露出して、上記半導体装置用基板本体内に埋め込んであり、該キャパシタ素子の上面が半導体素子搭載面である構成であり、

上記半導体素子は、上記キャパシタ素子の露出している上面に搭載してある構成としたものである。

【0025】

半導体素子がキャパシタ素子の上面に搭載してある構成であるので、搭載された半導体素子とキャパシタ部との間の導電経路の長さがそれ以上短くすることが

出来なくなるまで短くなって、搭載された半導体素子とキャパシタ部との間の導電経路のインダクタンスである寄生インダクタンスをそれ以上小さくすることが出来なくなるまで小さくすることが可能となり、寄生インダクタンスの影響を受け易い高速で動作する半導体素子を搭載した場合でも、電源電圧の安定化が図られるようになる。また、キャパシタ素子と半導体素子との間に発生する熱応力が小さく抑制される。

【0026】

【発明の実施の形態】

以下の順序で説明する。

【0027】

キャパシタ素子及びその製造方法、半導体装置用基板、半導体装置、及び半導体装置用基板の製造方法。

【0028】

先ず、キャパシタ素子の一実施例及びその製造方法について説明する。

【0029】

図1 (A) は本発明の一実施例になるキャパシタ素子20を示す。キャパシタ素子20は、シート片状である。図1 (B) 及び図1 (C) は、夫々図1 (A) 中、B-B線に沿う断面及びC-C線に沿う断面を示す。

【0030】

キャパシタ素子20は、図5に示すように半導体装置用基板にその表面に露出した状態で埋め込まれて使用され、半導体装置用基板100の一部を構成して、半導体素子の搭載部を形成する。この半導体装置用基板100には、その半導体素子搭載部に、図7に示すように、LSI半導体素子140が搭載されて、半導体装置130が構成される。

【0031】

図1 (A) に示すように、キャパシタ素子20は、コア基板としての支持体21と、支持体21の上面に形成してある薄膜キャパシタ部22と、支持体21の上面に形成してあり、キャパシタ部22を覆う絶縁性の保護膜23と、キャパシタ素子20の下面30に露出している信号用下部端子24、25、電源用下部端

子 26 及び二つの接地用下部端子 27-1、27-2 と、キャパシタ素子 20 の上面 31 に露出している信号用上部端子 44、45、電源用上部端子 46 及び二つの接地用上部端子 47-1、47-2 とを有する構成である。

【0032】

支持体 21 は、シリカ無機フィラーが含有してあるエポキシ樹脂製のシート片である。シリカ無機フィラーは線膨張係数を調整するために含有してあり、支持体 21 は、線膨張係数が、半導体素子である LSI のコア基板であるシリコン基板の線膨張係数（約 3 ppm/K ）を考慮して、 $5 \sim 30 \text{ ppm/K}$ の範囲内であるように調整してある。支持体 21 はエポキシ樹脂製であるので、厚さ t_1 を $50 \mu\text{m}$ より薄くすることは困難ではなく、しかも、厚さ t_1 が $50 \mu\text{m}$ より薄くても機械的強度は十分に高く、更には、フレキシブル性を有する。

【0033】

信号用上部端子 44、45、電源用上部端子 46 及び二つの接地用上部端子 47-1、47-2 は、搭載される半導体素子のパッドに対応して配置してある。二つの接地用上部端子 47-1、47-2 は電源用上部端子 46 の両側に位置している。各上部端子 44、45、46、47-1、47-2 は、上面に Ni/Au メッキ部 48 を有し、Cu 製である上部端子 44、45、46、47-1、47-2 の露出した面が酸化することが防止されている。信号用下部端子 24、25、電源用下部端子 26 及び二つの接地用下部端子 27-1、27-2 は、信号用上部端子 44、45、電源用上部端子 46 及び二つの接地用上部端子 47-1、47-2 に対応している。

【0034】

キャパシタ部 22 は、下部電極 32 と上部電極 33 とが間にタンタルの陽極酸化層（誘電体層）34 を挟んで対向している構成であり、支持体 21 上に配置してあり、保護膜 23 によって覆われて保護されている。陽極酸化層 34 は下部電極 32 の表面に形成してある。下部電極 32 は接地用端子 27-1 と電氣的に接続されており、上部電極 33 は電源用端子 26 と電氣的に接続されている。キャパシタ部 22 は、電源用端子 26 と、接地用端子 27-1、27-2 との間に設けてある。キャパシタ素子 20 が後述するように半導体装置用基板に埋め込まれ

、半導体素子が搭載された半導体装置がプリント基板に実装されて半導体装置が動作されるときに、キャパシタ部 22 はバイパスキャパシタ又はデカップリングキャパシタとして機能して半導体素子に供給される電源電圧の安定化が図られる。

【0035】

なお、キャパシタ素子 20 が半導体素子を搭載しない場合には、キャパシタ部 22 に関してみると、端子 26、46 が一方の端子であり、端子 27-1、47-1、27-2、47-2 が他方の端子である。

【0036】

支持体 21 が厚さ t_1 が $50\ \mu\text{m}$ より薄いシート片である構成であるので、キャパシタ素子 20 は、厚さ t_{10} は薄い。また、支持体 21 がフレキシブル性を有するので、キャパシタ素子 20 もフレキシブル性を有する。

【0037】

なお、キャパシタ素子 20 の線膨張係数は、支持体 21 の線膨張係数に対応し、 $5\sim 30\ \text{ppm}/\text{K}$ の範囲内である。この熱膨張係数は、後述するように半導体装置用基板本体の熱膨張係数と半導体素子の材質であるシリコン基板の熱膨張係数（約 $3\ \text{ppm}/\text{K}$ ）との中間の特性であって、シリコン基板の熱膨張係数に近い値を有している。よって、後述する図 7 に示す半導体装置 130 において、半導体素子とキャパシタ素子 20 との間の熱応力、及びキャパシタ素子 20 と半導体装置用基板本体との間の熱応力が共に小さくなって改善される。

【0038】

なお、支持体 21 は、シリカ無機フィラーが含有してあるポリイミド樹脂製のシート片であり、線膨張係数が $5\sim 30\ \text{ppm}/\text{K}$ の範囲のものでもよく、或いは、線膨張係数が $5\sim 30\ \text{ppm}/\text{K}$ の範囲の熱可塑性樹脂の液晶ポリマーでもよい。更には、アラミド繊維を含有しており、線膨張係数が $5\sim 30\ \text{ppm}/\text{K}$ の範囲内であるエポキシ樹脂製でもよい。

【0039】

次に、上記のキャパシタ素子 20 の製造方法について、図 2、図 3 及び図 4 を参照して説明する。

【0040】

なお、実際には、キャパシタ素子20は、大きいサイズの樹脂シート上に対をなすキャパシタ部22を多数個、マトリクス状に配置して形成し、最後に個片化して製造されるけれども、説明の便宜上、キャパシタ素子20に対応するサイズの支持体21に対して加工を施して、一つのキャパシタ素子20を製造する方法について説明する。

【0041】

先ず、図2（A）に示すように、基材50の上面に離型材の膜51を形成し、この離型膜51上に支持体21を貼り付ける。離型膜51に代えて、Cr、Ni、Snの膜でもよい。

【0042】

次いで、図2（B）に示すように、レーザ加工又はドライエッチング等で、支持体21にビア52を形成する。ここで、支持体21はエポキシ樹脂製であるので、シリコン基板にビアを形成する場合に比較して、ビア52の形成は短い時間で完了する。

【0043】

次いで、図2（C）に示すように、支持体21の表面に無電解銅めっきと電解銅めっきとを行って、銅めっき層53を、支持体21の上面及び側面を覆い、且つ、ビア52を埋めるように形成する。54はビア52を埋めている銅部分、55は支持体21の上面の銅層である。銅めっき層53に代えて、支持体21の表面に導電性フィラーの膜を形成してもよい。

【0044】

次いで、図3（A）に示すように、銅層55をパターニングして、各ビア52を埋めている銅部分54間を分断して信号用下部端子24、25、電源用下部端子26及び二つの接地用下部端子27-1、27-2を形成すると共に、接地用下部端子27-1、27-2から電源用下部端子26の方向に延びている下部電極32を形成する（図1（B）参照）。

【0045】

次いで、図3（B）に示すように、支持体21の表面にタンタルをスパッタリ

ングしてタンタル膜を形成し、このタンタル膜を陽極酸化してタンタル酸化膜を形成する。

【0046】

次いで、このタンタル酸化膜をエッチングしてパターンニングし、下部電極 32 上にはタンタル酸化膜が残るようにし、且つ、下部端子 24、25、26、27-1、27-2 の上面は露出するようにし、誘電体層 56 とする（図 1（B）参照）。誘電体層 56 のうち、下部電極 32 の上部に形成された部分が、夫々キャパシタ部 22 の誘電体層 34 を構成する。ここで、タンタルのスパッタリングは 200℃以下の温度でもって行われるため、誘電体層 34 はエポキシ樹脂製である支持体 21 に悪影響を与えずに形成される。なお、タンタルに代えて、他のバルブ金属である Ti、Si、Al 等を使用してもよい。

【0047】

次いで、図 3（C）に示すように、上面に表面に無電解銅めっきを行って、銅めっき層を形成し、これをエッチングしてパターンニングし、銅めっき層が誘電体層 34 の上面、及び下部端子 24、25、26、27-1、27-2 の上面には銅めっき層が残るようにして、上部電極 33、並びに信号用上部端子 44、45、電源用上部端子 46 及び二つの接地用上部端子 47-1、47-2 を形成する（図 1（C）参照）。上部電極 33 が形成されると、キャパシタ部 22 が構成される。

【0048】

次いで、図 4（A）に示すように、感光性レジストを形成して上面及び周囲の側面に絶縁性の膜を形成し、これを上部端子 44、45、46、47-1、47-2 が露出するようにパターンニングして、保護膜 23 を形成する（図 1（C）参照）。

【0049】

次いで、図 4（B）に示すように、Ni/Au メッキを行って上部端子 44、45、46、47-1、47-2 の露出している上面に表面処理をして Ni/Au メッキ部 48 を形成する。これによって、キャパシタ素子 20 が支持体 21 上に完成する。

【0050】

最後に、図4（C）に示すように、熱又は光を当てて離型膜51の接着力を低下させて、キャパシタ素子20を支持体21から分離する。基材50がガラス板である場合には、光を当てるのがよい。なお、図2（A）において剥離膜51に代えてCr、Ni、Snの膜を形成した場合には、ウェットエッチングによってCr、Ni、Snの膜を除去して、キャパシタ素子20を支持体21から分離する。

【0051】

次に、半導体装置用基板について説明する。

【0052】

図5は半導体装置用基板100を示し、図6はこの半導体装置用基板100の一部を拡大して示す。

【0053】

半導体装置用基板100は、半導体装置用基板本体101と、この上面に埋め込んであるキャパシタ素子20とよりなる構造である。キャパシタ素子20は、その上面が半導体装置用基板100の上面に露出した状態で樹脂層104内に埋め込まれてあり、上面は半導体装置用基板100の上面に露出している。半導体装置用基板本体101は、樹脂層102、103、104が積層してある多層回路基板である。各層に形成された導体パターン105は各層を貫通しているビア106によって電氣的に接続してある。半導体装置用基板本体101の内部には、これを厚さ方向に貫通するように、信号用導電経路124、125、電源供給導電経路126、接地導電経路127-1、127-2が形成してある。

【0054】

110は半導体素子搭載面であり、キャパシタ素子20の上面であり、ここには、図6に示すように、信号用上部端子44、45、電源用上部端子46及び二つの接地用上部端子47-1、47-2が露出して並んでいる。

【0055】

115は実装面であり、半導体装置用基板本体101の下面であり、ここには、半田ボール116がビア106と接続されて設けてあり、且つ、ソルダレジス

ト 117 によって覆われている。

【0056】

キャパシタ素子 20 の信号用端子 24、25、電源用端子 26 及び接地用端子 27-1、27-2 はビア 156 と接続してある。キャパシタ素子 20 内のキャパシタ部 22 は、電源供給導電経路 126 と、接地導電経路 127-1、127-2 との間に接続してある。

【0057】

図 6 に示すように、電源用上部端子 46 の上面とキャパシタ部 22 との間の導電経路の距離 a_1 、及び、接地用上部端子 47-1 の上面とキャパシタ部 22 との間の導電経路の距離 b_1 は共にごく短い。電源用上部端子 46 の上面とキャパシタ部 22 との間の導電経路の距離 a_2 、及び、接地用上部端子 47-2 の上面とキャパシタ部 22 との間の導電経路の距離 b_2 も共にごく短い。よって、この部分の導電経路のインダクタンスである寄生インダクタンスはごく小さい。

【0058】

また、キャパシタ素子 20 は薄いため一つの樹脂層 104 内に埋め込まれており、よって、半導体装置用基板 100 の厚さ t_{20} は薄い。なお、樹脂層 104 の厚さは数 $10\ \mu\text{m}$ 以上である。

【0059】

図 7 及び図 8 は半導体装置 130 を示す。半導体装置 130 は、図 5 及び図 6 に示す半導体装置用基板 100 の半導体素子搭載面 110 に、半導体素子 140 がフリップチップ接続によって搭載してある。半導体素子 140 の下面のバンパ 141 が、半導体素子搭載面 110 に露出している信号用上部端子 44、45、電源用上部端子 46 及び二つの接地用上部端子 47-1、47-2 と接続してある。142 はアンダーフィルである。

【0060】

ここで、キャパシタ素子 20 は半導体素子 140 の直ぐ直下の位置に配置してある構成である。このため、半導体素子 140 とキャパシタ素子 20 との間の導電経路はごく短く、この部分のインダクタンスである寄生インダクタンスはごく小さい。よって、半導体素子の動作周波数が高周波数化してきた場合にも、半導

体素子に供給する電源電圧はこの寄生インダクタンスによって影響を受けないで、安定に維持される。

【0061】

また、実質上は半導体素子140がキャパシタ素子20上に搭載されている構成であり、且つ、キャパシタ素子20は、シリコン製の半導体素子140と略等しい熱膨張係数を有している。よって、半導体素子140が動作時に発熱し、キャパシタ素子20が半導体素子140によって加熱された場合に、半導体素子140とキャパシタ素子20との間に発生する熱応力は小さく抑えられて改善される。

【0062】

次に、半導体装置用基板100の製造方法について、図9、図10及び図11を参照して説明する。

【0063】

先ず、図9（A）に示すように、銅等の金属板150の上面にポリイミド等の樹脂を塗布して薄樹脂膜151を形成する。

【0064】

次いで、図9（B）に示すように、図1に示すキャパシタ素子20を、図1に示す姿勢から表裏反転させた姿勢で、搭載する。

【0065】

次いで、図9（C）に示すように、エポキシ等の樹脂層104をラミネートして、キャパシタ素子20を完全に覆う。樹脂層104はキャパシタ素子20と薄樹脂膜151との間の隙間も埋める。

【0066】

次いで、図9（D）に示すように、樹脂層104にレーザ加工やエッチング等によってビア形成用の凹部153を形成する。凹部153の底面には、キャパシタ素子20の信号用端子24、25、電源用端子26及び接地用端子27-1、27-2が露出する。

【0067】

次いで、図10（A）に示すように、銅の無電解めっきと電解めっきとを行っ

て、樹脂層 104 の全面に金属層 154 を形成する。金属層 154 は凹部 153 を埋めている。

【0068】

次いで、図 10 (B) に示すように、金属層 154 をフォトリソ法でパターンニングして、導体パターン 155 及びビア 156 を形成する。

【0069】

次いで、図 10 (C) に示すように、導体パターン 155 が覆われるように樹脂層 103 をラミネートし、この樹脂層 103 にレーザ加工やエッチング等によってビア形成用の凹部 157 を形成する。凹部 157 の底面には、導体パターン 155 及びビア 156 が露出する。

【0070】

次いで、図 11 (A) に示すように、上記と同じく、樹脂層 103 の全面に金属層を形成し、この金属層をパターンニングして導体パターン 158 及びビア 159 を形成し、更に、樹脂層 102 をラミネートし、この樹脂層 102 にビア形成用の凹部を形成し、樹脂層 102 の全面に金属層を形成し、この金属層をパターンニングしてビア 160 及びパッド 161 を形成する。

【0071】

次いで、図 11 (B) に示すように、パッド 161 の部分を除いて樹脂層 102 の全面にソルダレジスト 117 を塗布する。

【0072】

最後に、図 11 (C) に示すように、金属板 150 に対してエッチングを行って、金属板 150 を完全に除去する。

【0073】

ここで、金属板 150 に対するエッチングの進行は薄樹脂層 151 によって停止され、過剰エッチングは起きない。金属板 150 を除去した後に、薄樹脂層 151 をドライエッチングで除去する。また、半田ボール 116 のパッド 161 への接合は、半田ボール 116 をソルダレジスト 117 に形成してある凹部に置いて、リフローしてなされる。

【0074】

なお、キャパシタ素子 20 は、半導体装置用基板 100 に埋め込まれて使用される他に、他の用途の基板に埋め込まれて使用することも可能である。

【0075】

【発明の効果】

上述の如く、請求項 1 の発明は、支持体上に、二つの電極が誘電体層を挟んで対向してなるキャパシタ部を有する構成であり、該支持体は樹脂製である構成としたものであるため、シリコン基板を支持体とするキャパシタ素子に比べて薄くすることが容易に出来、且つ、ビアの形成も簡単となつて、キャパシタ素子の製造も簡単に出来る。また、キャパシタ素子が薄いため、これを埋め込んだ素子搭載用基板も薄く出来る。また、支持体は線膨張係数が調整された樹脂製であるので、キャパシタ素子を埋め込んだ素子搭載用基板上に素子を搭載した場合に、キャパシタ素子と搭載した素子との間に発生する熱応力を小さく抑制することが出来る。

【0076】

請求項 2 の発明は、請求項 1 記載のキャパシタ素子において、上記支持体は、フィラーが含有してあり、線膨張係数が $5 \sim 30 \text{ ppm/K}$ であるエポキシ樹脂製である構成としたものであるため、キャパシタ素子の線膨張係数がシリコン基板を有する半導体素子の線膨張係数に近くなって、キャパシタ素子を埋め込んだ半導体装置用基板上に半導体素子を搭載した場合に、キャパシタ素子と搭載した半導体素子との間に発生する熱応力を小さく抑制することが出来る。

【0077】

請求項 3 の発明は、請求項 1 記載のキャパシタ素子において、上記支持体は、フィラーが含有してあり、線膨張係数が $5 \sim 30 \text{ ppm/K}$ であるポリイミド樹脂製である構成としたものであるため、キャパシタ素子の線膨張係数がシリコン基板を有する半導体素子の線膨張係数に近くなって、キャパシタ素子を埋め込んだ半導体装置用基板上に半導体素子を搭載した場合に、キャパシタ素子と搭載した半導体素子との間に発生する熱応力が小さく抑制することが出来る。

【0078】

請求項 4 の発明は、請求項 1 記載のキャパシタ素子において、上記支持体は、

線膨張係数が $5 \sim 30 \text{ ppm/K}$ である熱可塑性樹脂の液晶ポリマーである構成としたものであるため、キャパシタ素子の線膨張係数がシリコン基板を有する半導体素子の線膨張係数に近くなって、キャパシタ素子を埋め込んだ半導体装置用基板上に半導体素子を搭載した場合に、キャパシタ素子と搭載した半導体素子との間に発生する熱応力が小さく抑制することが出来る。

【0079】

請求項5の発明は、請求項1記載のキャパシタ素子において、上記支持体は、アラミド繊維を含有しており、線膨張係数が $5 \sim 30 \text{ ppm/K}$ の範囲内である樹脂製である構成としたものであるため、キャパシタ素子の線膨張係数がシリコン基板を有する半導体素子の線膨張係数に近くなって、キャパシタ素子を埋め込んだ半導体装置用基板上に半導体素子を搭載した場合に、キャパシタ素子と搭載した半導体素子との間に発生する熱応力が小さく抑制することが出来る。

【0080】

請求項6の発明は、ベース材の表面に、線膨張係数が調整された絶縁樹脂製の支持体を貼り付け、次いで、該絶縁樹脂製支持体に端子に対応させてビアを形成し、次いで、該絶縁樹脂製支持体の上面に、導体層を形成し、該導体層をパターンニングして、上記ビアを埋めた端子と該端子から該絶縁樹脂製支持体の上面に延びている下部電極とを形成し、次いで、該下部電極上に誘電体層を形成し、最後に、上面に、導体層を形成し、該導体層をパターンニングして、該誘電体層上に該下部電極と対向する上部電極と、上面に露出する端子とを形成するようにしたものであり、支持体として樹脂製のものを使用しているため、シリコン基板を使用した場合に比べて、ビアの形成が簡単となり、ビアを形成する作業に要する時間を短く出来る。また、支持体が絶縁樹脂製であるので、支持体の上面に、絶縁膜を形成しないで、直接に導体層を形成することが可能となり、シリコン基板を使用した場合に比べて、製造工程を減らすことが出来る。

【0081】

請求項7の発明は、半導体素子が搭載される半導体装置用基板であって、下面に外部接続端子が並んでいる実装面を有する半導体装置用基板本体と、線膨張係数が搭載される半導体素子に合わせて調整された樹脂製の支持体上に、二つの電

極が誘電体層を挟んで対向してなるキャパシタ部を有し、且つ、上面に端子を複数有し、且つ、下面に端子を複数有する構成であり、搭載される半導体素子と同じ大きさであるキャパシタ素子とよりなり、該キャパシタ素子が、その上面が上記半導体装置用基板の上面に露出して、上記半導体装置用基板本体内に埋め込んであり、該キャパシタ素子の上面が半導体素子搭載面である構成としたものであり、キャパシタ素子が樹脂製の支持体を有する構成であり薄くなるため、半導体装置用基板も薄くすることが出来る。また、キャパシタ素子の上面が半導体素子搭載面である構成であるので、キャパシタ部から半導体素子搭載面の端子との間の導電経路の長さがそれ以上短くすることが出来なくなるまで短くなって、キャパシタ部から半導体素子搭載面の端子との間の導電経路のインダクタンスである寄生インダクタンスをそれ以上小さくすることが出来なくなるまで小さくすることが可能となり、寄生インダクタンスの影響を受け易い高速で動作する半導体素子が搭載された場合でも、従来に比べて電源電圧の安定化が図られるようになり、よって、高速で動作する半導体素子の搭載に適した半導体装置用基板を実現することが出来る。

【0082】

請求項 8 の発明は、半導体素子が半導体装置用基板上に搭載された構成の半導体装置であって、上記半導体装置用基板は、下面に外部接続端子が並んでいる実装面を有する半導体装置用基板本体と、線膨張係数が搭載される半導体素子に合わせて調整された樹脂製の支持体上に、二つの電極が誘電体層を挟んで対向してなるキャパシタ部を有し、且つ、上面に端子を複数有し、且つ、下面に端子を複数有する構成であり、搭載される半導体素子と同じ大きさであるキャパシタ素子とよりなり、該キャパシタ素子が、その上面が上記半導体装置用基板の上面に露出して、上記半導体装置用基板本体内に埋め込んであり、該キャパシタ素子の上面が半導体素子搭載面である構成であり、上記半導体素子は、上記キャパシタ素子の露出している上面に搭載してある構成としたものであるため、搭載された半導体素子とキャパシタ部との間の導電経路の長さがそれ以上短くすることが出来なくなるまで短くなって、搭載された半導体素子とキャパシタ部との間の導電経路のインダクタンスである寄生インダクタンスをそれ以上小さくすることが出来

なくなるまで小さくすることが可能となり、寄生インダクタンスの影響を受け易い高速で動作する半導体素子を搭載した場合でも、従来に比べて電源電圧の安定化を図ることが出来る。また、キャパシタ素子と半導体素子との間に発生する熱応力を小さく抑制することが出来る。

【図面の簡単な説明】

【図 1】

本発明の一実施例になるキャパシタ素子を示す図である。

【図 2】

図 1 のキャパシタ素子の製造工程を示す図である。

【図 3】

図 2 (C) に続く製造工程を示す図である。

【図 4】

図 3 (C) に続く製造工程を示す図である。

【図 5】

本発明の一実施例の半導体装置用基板を示す図である。

【図 6】

図 5 中、キャパシタ素子の内部構造及びキャパシタ素子と基板との接続部分を拡大して示す図である。

【図 7】

図 5 の半導体装置用基板を有する半導体装置を示す図である。

【図 8】

図 7 中、半導体素子とキャパシタ素子との接続部分を拡大して示す図である。

【図 9】

図 5 の半導体装置用基板の製造工程を示す図である。

【図 10】

図 9 (D) に続く製造工程を示す図である。

【図 11】

図 10 (C) に続く製造工程を示す図である。

【図 12】

従来例を示す図である。

【符号の説明】

- 20 キャパシタ素子
- 21 支持体
- 22-1、22-2 薄膜キャパシタ部
- 23 保護膜
- 24、25 信号用下部端子
- 26 電源用下部端子
- 27-1、27-2 接地用下部端子
- 32-1、32-2 下部電極
- 33-1、33-2 上部電極
- 34-1、34-2 タンタルの陽極酸化層（誘電体層）
- 44、45 信号用上部端子
- 46 電源用上部端子
- 47-1、47-2 接地用上部端子
- 48 Ni/Auメッキ部
- 50 基材
- 51 離型膜
- 52 ビア
- 53 銅めっき層
- 100 半導体装置用基板
- 101 半導体装置用基板本体
- 102、103、104 樹脂層
- 110 半導体素子搭載面
- 115 実装面
- 124、125 信号用導電経路
- 126 電源供給導電経路
- 127-1、127-2 接地導電経路
- 130 半導体装置

1 4 0 L S I 半導体素子

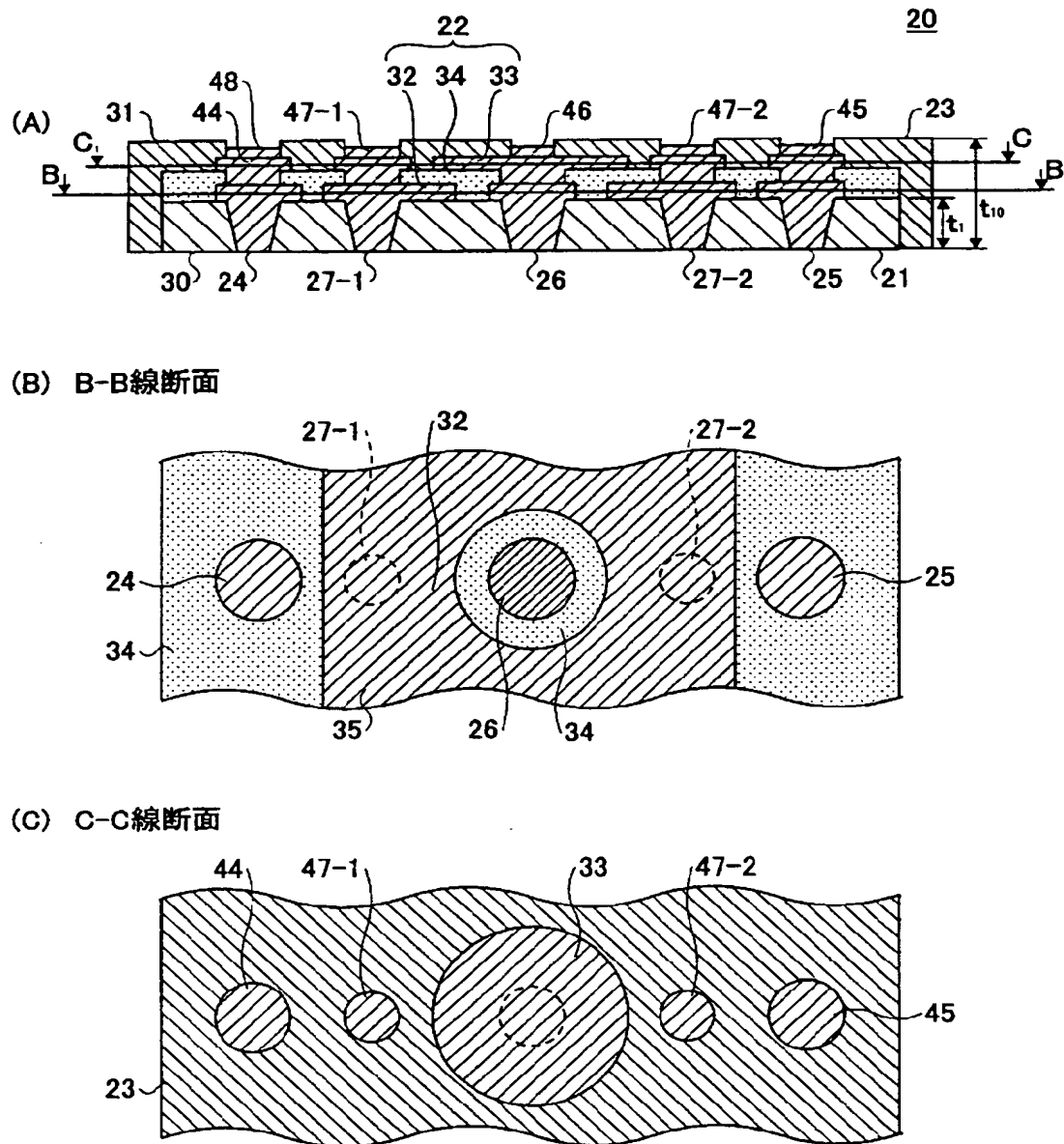
1 4 1 バンプ

【書類名】

図面

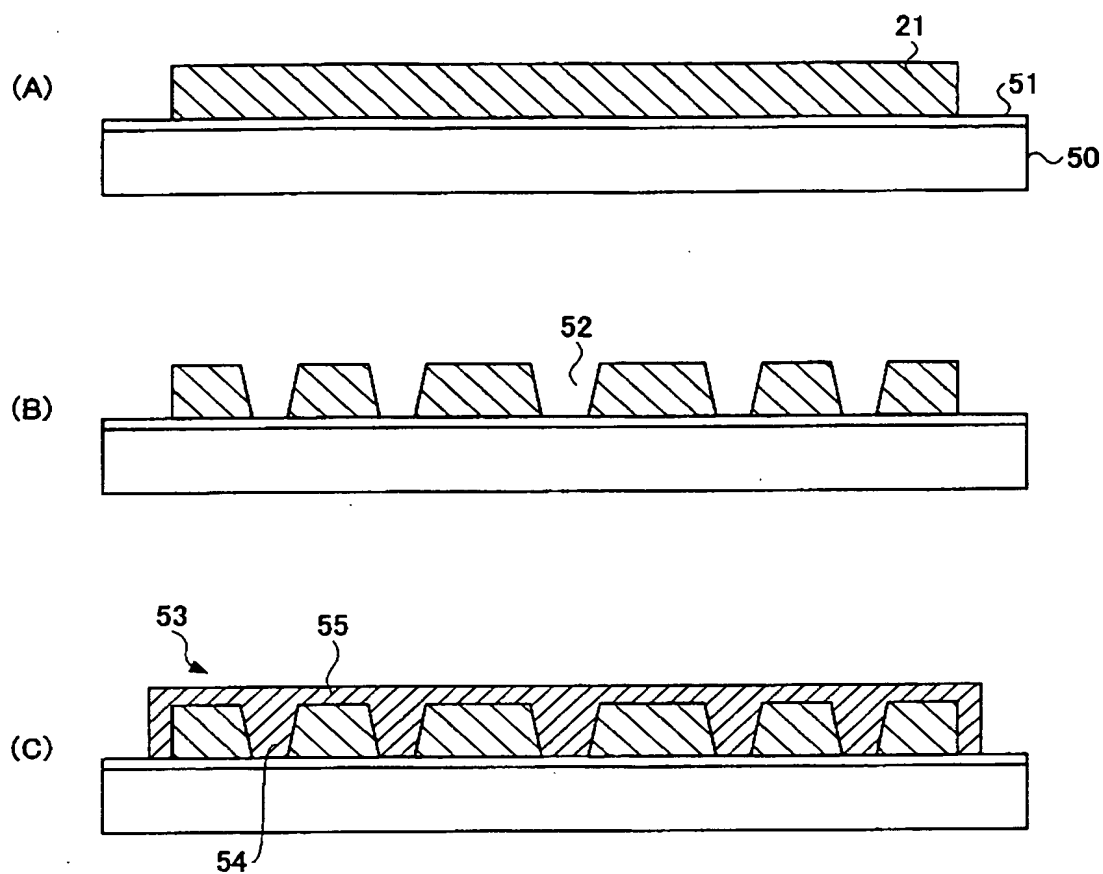
【図 1】

本発明の一実施例になるキャパシタ素子を示す図



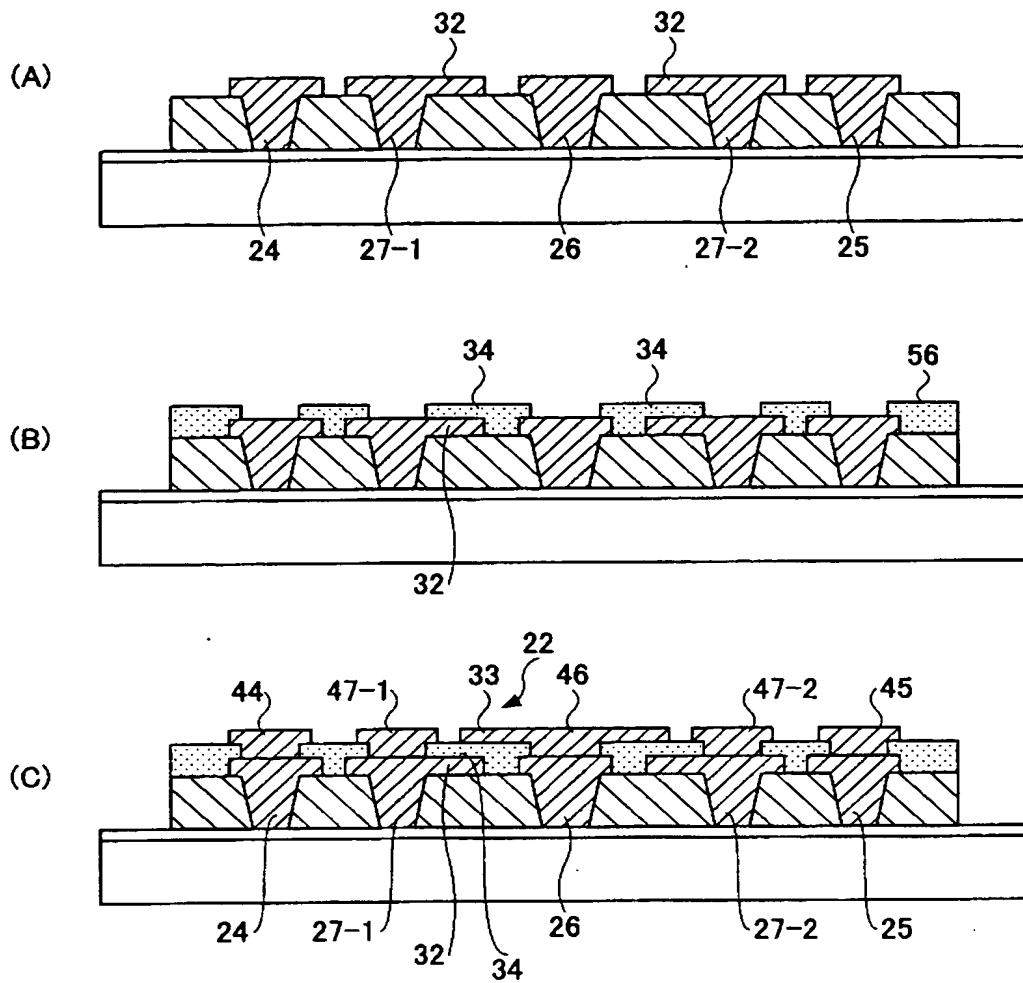
【図 2】

図 1 のキャパシタ素子の製造工程を示す図



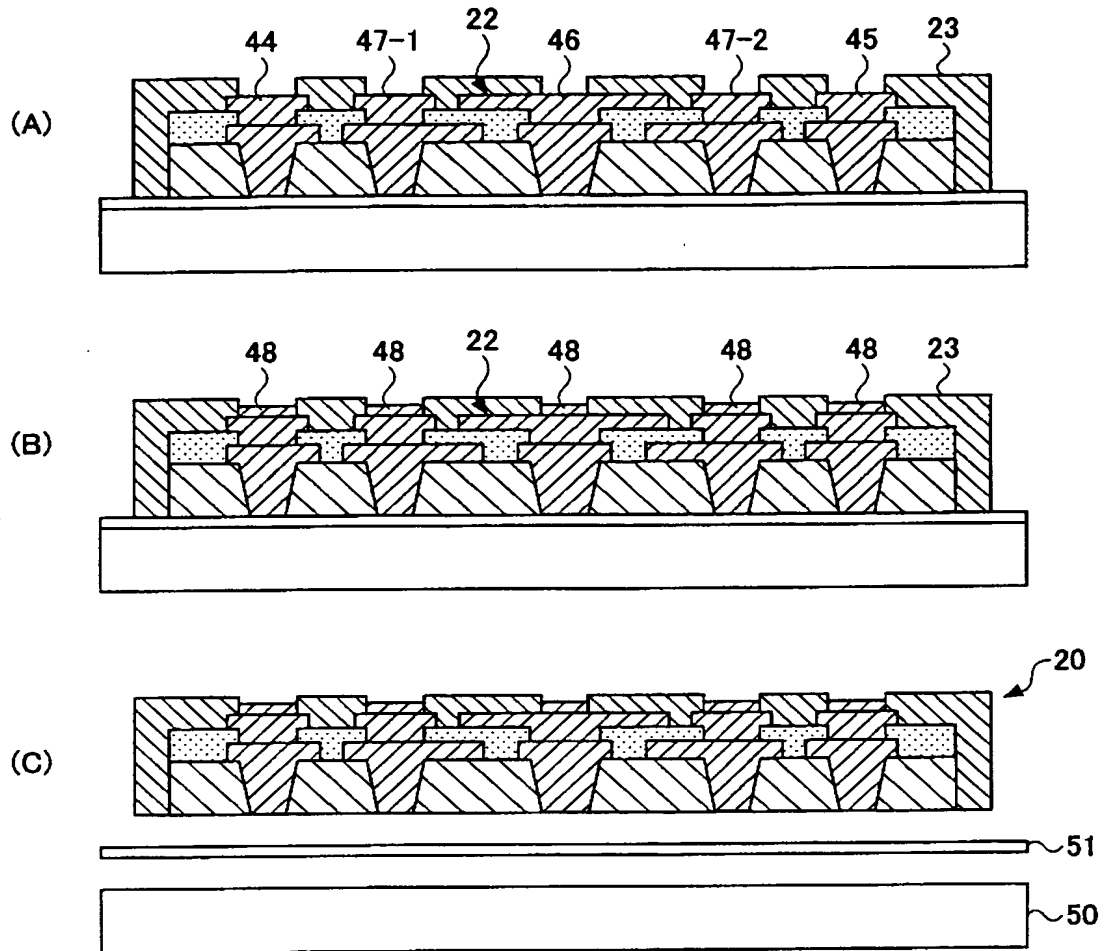
【図 3】

図 2 (C) に続く 製造工程を示す図



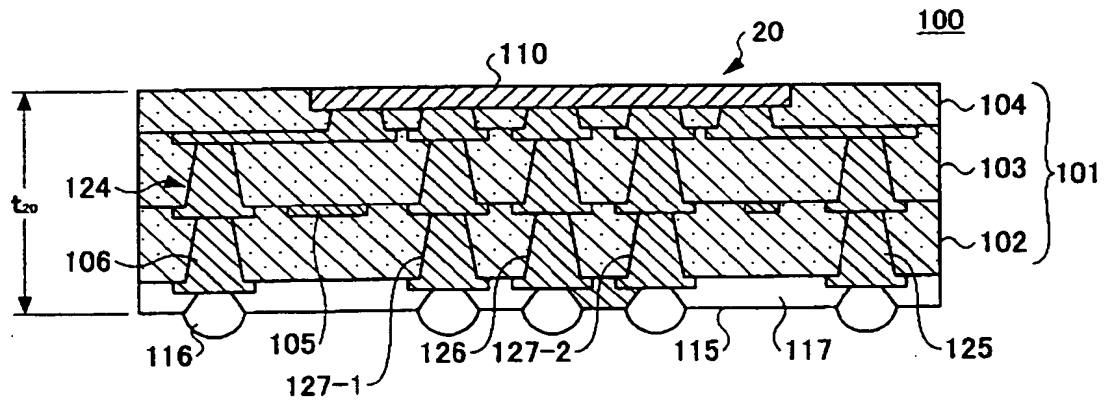
【図 4】

図 3 (C) に続く 製造工程を示す図



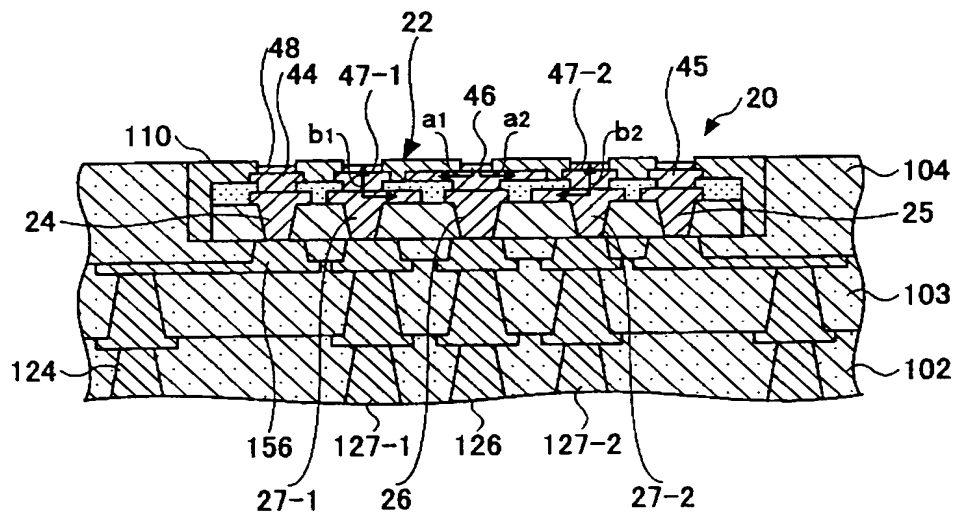
【図 5】

本発明の一実施例の半導体装置用基板を示す図



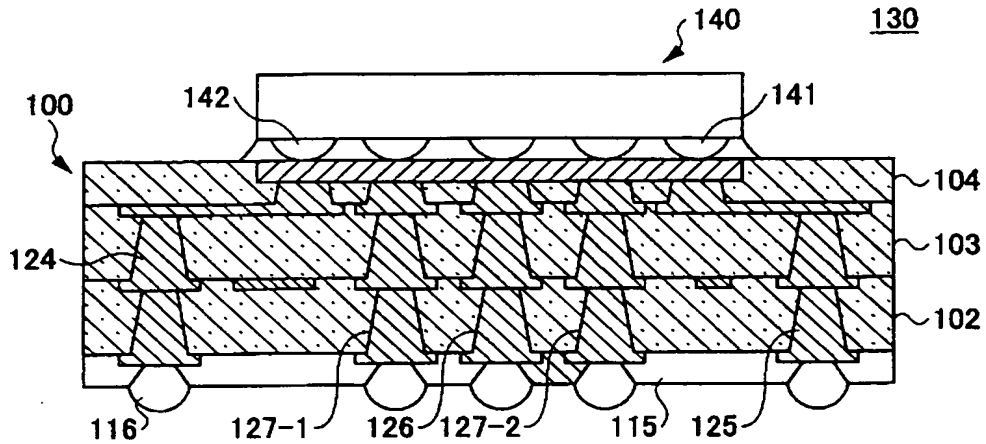
【図 6】

図 5 中、キャパシタ素子の内部構造及び
キャパシタ素子と基板との接続部分を拡大して示す図



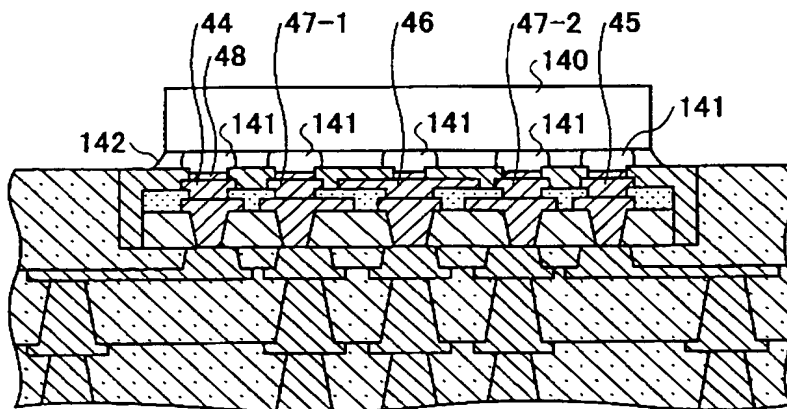
【図 7】

図 5 の半導体装置用基板を有する半導体装置を示す図



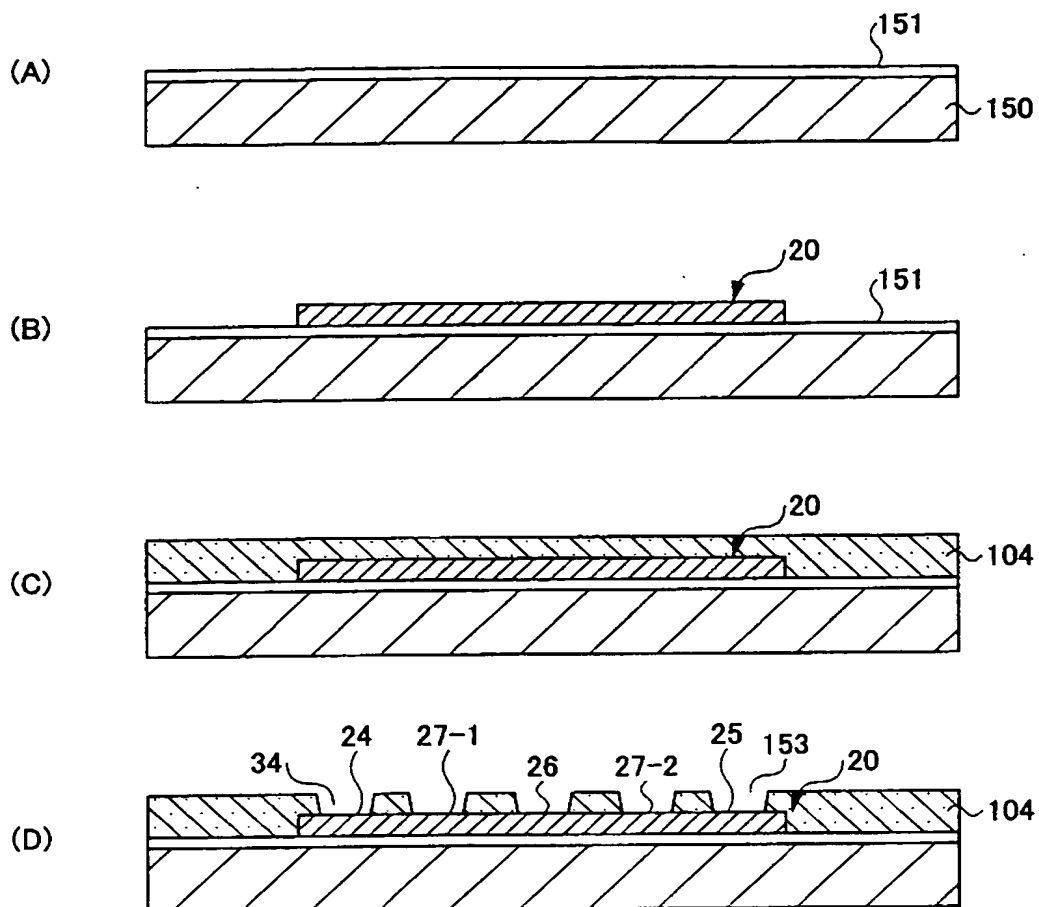
【図 8】

図 7 中、半導体素子とキャパシタ素子との接続部分を拡大して示す図



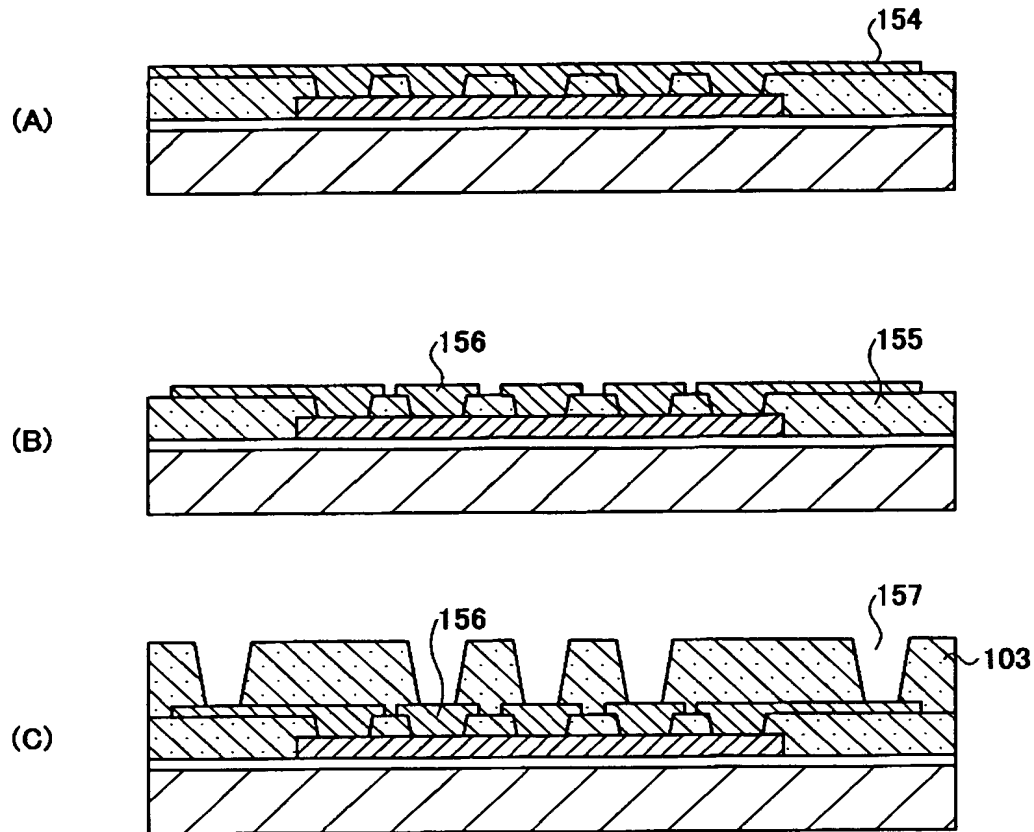
【図 9】

図 5 の半導体装置用基板の製造工程を示す図



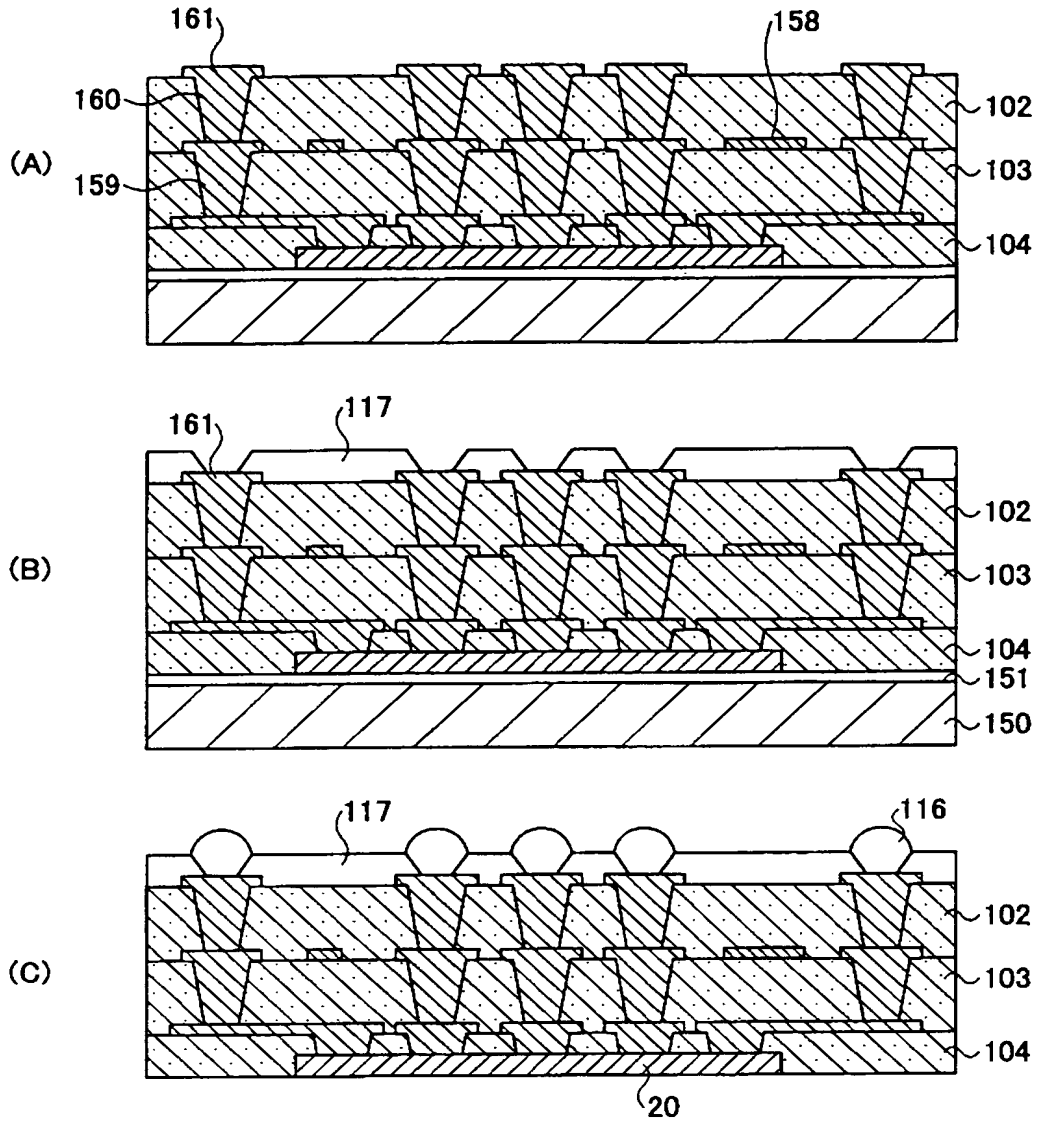
【図 10】

図 9 (D) に続く 製造工程を示す図



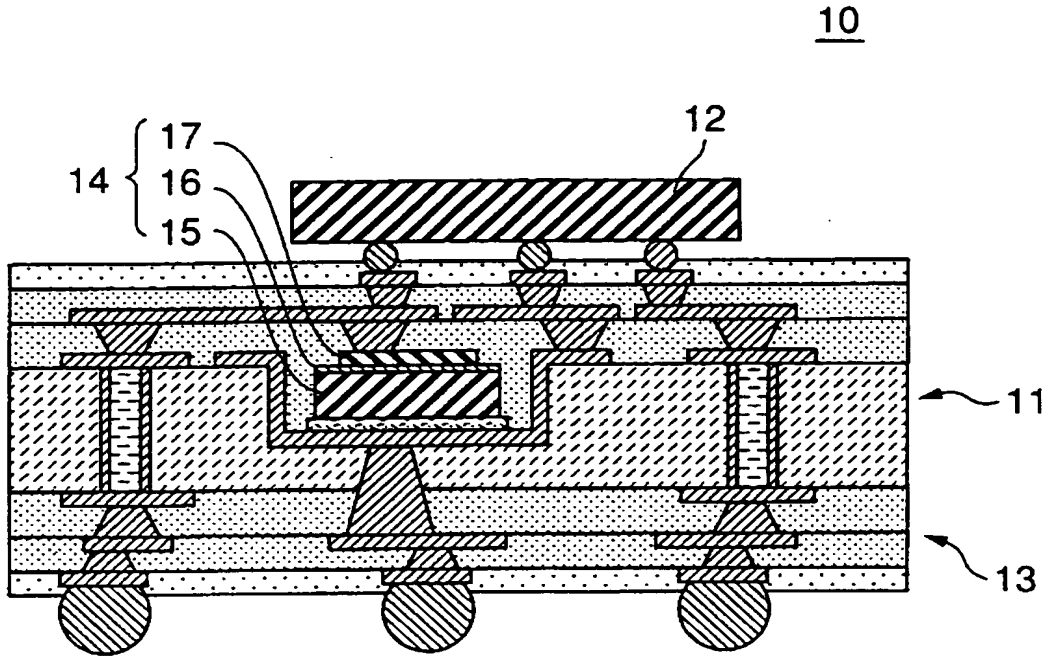
【図 11】

図 10 (C) に続く 製造工程を示す図



【図 12】

従来例を示す図



【書類名】 要約書

【要約】

【課題】 本発明は半導体装置用基板に埋め込むキャパシタ素子に関し、薄型化及び生産性の向上を図ることを課題とする。

【解決手段】 キャパシタ素子 2 0 は、支持体 2 1 がシリカ無機フィラーが含有してあるエポキシ樹脂製のシート片であり、線膨張係数が $5 \sim 30 \text{ ppm/K}$ の範囲に調整してあるものであり、搭載される半導体素子と同じ大きさを有する。キャパシタ素子 2 0 は、支持体 2 1 と、支持体 2 1 の上面に、薄膜技術を利用して形成してある薄膜キャパシタ部 2 2 とを有する。

【選択図】 図 1

特願 2003-049716

出 願 人 履 歷 情 報

識別番号

[000190688]

1. 変更年月日

1990年 8月20日

[変更理由]

新規登録

住 所

長野県長野市大字栗田字舍利田711番地

氏 名

新光電気工業株式会社

2. 変更年月日

2003年10月 1日

[変更理由]

住所変更

住 所

長野県長野市小島田町80番地

氏 名

新光電気工業株式会社